

文章编号:2095-6134(2020)05-0714-06

简报

一种面向 FPGA 实现的 LDPC 编码 可配置并行架构设计*

张雪[†], 姜泉江, 梁广, 余金培

(中国科学院上海微系统与信息技术研究所, 上海 200050; 上海微小卫星创新研究院, 上海 201203;
上海科技大学信息科学与技术学院, 上海 201210; 中国科学院大学, 北京 100049)
(2019 年 1 月 14 日收稿; 2019 年 4 月 15 日收修改稿)

Zhang X, Jiang Q J, Liang G, et al. Design and implementation of a generic parallel architecture for LDPC codes based on FPGA[J]. Journal of University of Chinese Academy of Sciences, 2020, 37(5): 714-719.

摘 要 为满足星载超高速数传设备 FPGA 实现的需求, 充分利用 FPGA 器件工作处理时钟频率不高但可用并行资源丰富的特点, 根据 LDPC 结构特性, 设计一种基于 FPGA 的 N 位可配置的 LDPC 编码通用并行架构, 它具有通用性强、传输速率高、传输延时低的特点。此外, 从理论上分析并行架构与传统串行架构的等价性, 并详细推导并行度 N 与速率及硬件资源的限制关系。最后以 $N=8$ 为例, 在 FPGA 开发平台实现吞吐量为 2.5 Gbps 的 LDPC 编码, 验证架构的可行性。

关键词 低密度奇偶校验码; 可配置并行度; 现场可编程门阵列; 高速数传

中图分类号: TN911.22 **文献标志码:** A **doi:** 10.7523/j.issn.2095-6134.2020.05.017

Design and implementation of a generic parallel architecture for LDPC codes based on FPGA

ZHANG Xue, JIANG Quanjiang, LIANG Guang, YU Jinpei

(Shanghai Institute of Microsyst & Information Technology, Chinese Academy of Science, Shanghai 200050, China;
Shanghai Engineering Center for Microsatellites, Shanghai 201203, China; School of Information Science & Technology,
ShanghaiTech University, Shanghai 201210, China; University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract In order to meet the requirements of FPGA implementation of spaceborne ultra-high speed data transmission equipment and to make full advantage of the abundant parallel resources of FPGA devices to solve the problem of low work processing clock frequency, we propose and design a general parallel architecture of LDPC coding with N -bit configurable. The architecture is designed based on FPGA according to the characteristics of LDPC structure. The equivalence between parallel architecture and traditional serial architecture is theoretically analyzed and successfully validated by simulation. Taking $N=8$ as an example, the LDPC code with a throughput of 2.5 Gbps is

* 国家自然科学基金(61601295)、国家重点研发计划(2017YFB0502902)和上海市启明星计划(18QA1404000)资助

[†] 通信作者, E-mail: zhangxue1@shanghaitech.edu.cn

implemented on the FPGA development platform, which verifies the feasibility of the proposed architecture.

Keywords LDPC; configurable parallelism; FPGA; high speed data transmission

随着航天技术的不断进步以及信息的高度数字化,空间探测、光学遥感等卫星应用承载了更广泛、更精确的空间任务^[1]。以空间数据源遥感卫星为例,高分辨率、高光谱成像技术的日益更新使得数据量大幅提升,与此同时,用于气象预报、灾害预警等领域的遥感数据具有更高的实时性需求^[2]。由此可见,海量数据的高效利用需要高速率的数据传输系统来支持。在星地数据传输中,需要考虑在低信噪比环境、可用频带资源和发射功率有限、系统设计复杂度和成本造价等内外因素条件下,保证数据信息的高速有效传输。采用高性能和高收敛速率的信道编码是提高数传系统传输效率的有效途径。

低密度奇偶校验码(low density parity check, LDPC)于 1962 年由麻省理工学院 Gallager 首次提出^[3],是一类具有稀疏校验矩阵的线性分组码,1999 年 MacKay 证明 LDPC 长码可达到接近 Shannon 限的性能,同样也有更低的线性译码复杂度和可并行译码的结构特性,可克服 Turbo 码的长码延时缺陷^[4]。虽然 LDPC 码具有良好的误码性能,但工程上要实现 LDPC 码并非易事。为降低工程实现的复杂度,文献[5]提出一种由循环子矩阵构成的校验矩阵,由此产生的码字成为准循环 LDPC(quasi-cyclic LDPC, QC-LDPC)码。由于其突出的可实现性,QC-LDPC 码被应用于众多研究领域并被纳入相关标准^[6-7],其中最常用的 7/8 码率(8 176, 7 154)LDPC 码就是由国际空间数据系统咨询委员会(Consultative Committee for Space Data Systems, CCSDS)提供的^[6]。该码作为近地空间和深空通信的信道编码方式,构造了具有准循环特性的校验矩阵和系统码结构单位生成矩阵,译码收敛速率较快且便于硬件工程实现。但随着对卫星通信数据传输速率需求的不断增长,串行编码方式的吞吐量远远不能满足应用需求。

目前,关于 LDPC 码低复杂度编码器的实现,国国外学者已开展了大量研究^[8-12]。文献[8]提出一种 CCSDS 标准下基于递归卷积的并行编码器,在将资源利用率保持在较低水平的同时,实现理想的吞吐量性能;文献[9]充分利用 QC-LDPC 校验矩阵的循环特性和行重相同的特点提出一种

CMMB 标准下基于 block-row-cycle 的 LDPC 编码器;文献[10]根据 IEEE 802.22 无线区域网络(wireless regional area network, WRAN)标准,提出全串行编码器和串并混合编码器的设计能够在 84 种码率的组合下实现低功耗和低资源占用。国内 Li 等^[11]提出 3 种高效的 QC-LDPC 硬件编码结构:第 1 种是移位寄存器累加(shift-register-adder-accumulator, SRAA)的串行编码结构,但不适用于高速编码需求;第 2 种是 SRAA 的并行编码结构,但组帧延时较高、同比例所需的寄存器较多;第 3 种是两级编码 TWO-STAGE 结构,但需要校验矩阵满秩。文献[12]对上述第 1 种 SRAA 的串行编码给出并行编码算法,但并行度的选取受制于准循环子矩阵阶数的整数因子分解情况,当阶数为素数时,不能应用该编码算法来实现并行编码,因此并行度的通用化有待研究。

本文针对文献[11]中低延时与并行度可配置的应用研究需求,根据第 1 种 SRAA 串行编码结构的并行优化方案,提出一种基于 FPGA 可动态配置的 N 位并行 LDPC 编码器设计,推导论证 N 与速率的制约关系,并使用 Xilinx 系列在 ISE 平台上实现了 8 位并行编码,吞吐量可达 2.5 Gbps。

1 准循环 LDPC 的 CCSDS 标准应用

1.1 CCSDS 标准

CCSDS 标准近地空间应用中,LDPC 码字结构为 7/8 码率(8 176, 7 154)的系统分组码,也是一组典型的 QC-LDPC 码。其校验矩阵 H 是由 2×16 个准循环子矩阵构成的维度为 $1\,022 \times 8\,176$ 的准循环矩阵,如下所示

$$H = \begin{bmatrix} A_{1,1} & A_{1,2} & \cdots & A_{1,15} & A_{1,16} \\ A_{2,1} & A_{2,2} & \cdots & A_{2,15} & A_{2,16} \end{bmatrix}. \quad (1)$$

其中, $A_{i,j}$ 是阶数为 511×511 的循环移位子矩阵($i = 1, 2; j = 1, 2, \dots, 16$),每个 $A_{i,j}$ 行重和列重均为 2(即每行、每列有两个“1”)。图 1 为校验矩阵 H 的散点图(“1”的位置),可直观看到其稀疏和循环特性。

生成矩阵 G 同样是具有准循环特性的大小为 $7\,154 \times 8\,176$ 的矩阵

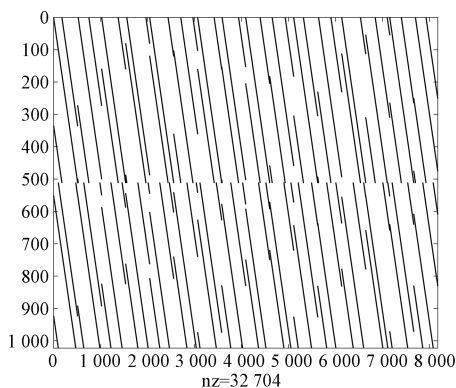


图 1 奇偶校验矩阵散点图

Fig. 1 Scatter chart of parity check matrix

$$G = \begin{bmatrix} I & 0 & \cdots & 0 & B_{1,1} & B_{1,2} \\ 0 & I & \cdots & 0 & B_{2,1} & B_{2,2} \\ \vdots & \vdots & \ddots & \vdots & \vdots & \vdots \\ 0 & 0 & \cdots & I & B_{14,1} & B_{14,2} \end{bmatrix}. \quad (2)$$

生成矩阵 G 由两部分组成 $G = [I \ Q]$ ，一部分是左边 $7\ 154 \times 7\ 154$ 的单位矩阵 I ，另一部分是右边由 28 个准循环子矩阵 $B_{i,j}$ 组成的准循环矩阵 Q ($i = 1, 2, \cdots, 14; j = 1, 2$)，如公式(3)每个准循环子矩阵 $B_{i,j}$ 都是 511×511 的方阵，

$$B_{i,j} = \begin{bmatrix} b_{i,j}^1 & b_{i,j}^2 & \cdots & b_{i,j}^{510} & b_{i,j}^{511} \\ b_{i,j}^{511} & b_{i,j}^1 & \cdots & b_{i,j}^{509} & b_{i,j}^{510} \\ \vdots & \vdots & \ddots & \vdots & \vdots \\ b_{i,j}^3 & b_{i,j}^4 & \cdots & b_{i,j}^1 & b_{i,j}^2 \\ b_{i,j}^2 & b_{i,j}^3 & \cdots & b_{i,j}^{511} & b_{i,j}^1 \end{bmatrix}. \quad (3)$$

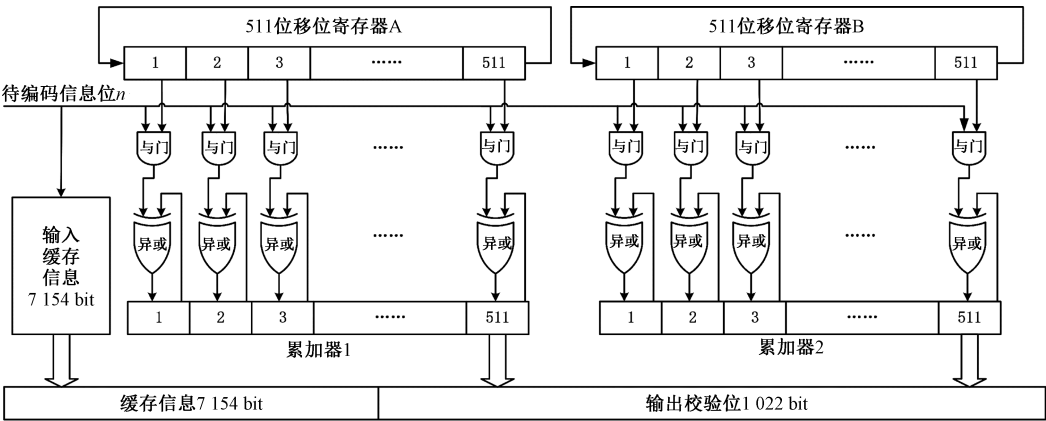


图 2 SRAA 串行编码结构

Fig. 2 SRAA serial coding structure

1.2 编码原理

LDPC 编码算法主要分为两类：基于生成矩阵的直接相乘编码算法和基于近似下三角矩阵RU(Richardson-Urbanke)编码算法。CCSDS 标准中 7/8 码率的系统码(8 176,7 154)采用生成矩阵直接相乘的编码算法,其中 7 154 为待编码信息向量 n

$$n = (n_1 \ n_2 \ \cdots \ n_{7\ 154}). \quad (4)$$

将待编码信息向量 n 与生成矩阵 G 作如下运算,得到 LDPC 系统码 U

$$U = n \cdot G, \quad (5)$$

$$U = (n_1 \ n_2 \ \cdots \ n_{7\ 154} \ c_1 \ c_2 \ \cdots \ c_{1\ 022}). \quad (6)$$

输入 7 154 位待编码信息 n ,经编码后输出 8 176 位系统码,其中前 7 154 位为原编码信息位,后 1 022 位为生成的奇偶校验位 c 。

2 高速编码器 FPGA 结构实现方案

2.1 串行编码方案

Li 等在文献[11]中推导了由校验矩阵求得具有系统码结构特性生成矩阵的算法,由此生成矩阵利用 SRAA 串行编码结构(如图 2)可实现低复杂度的串行编码。

串行编码方案即利用生成矩阵的准循环特性,以 $B_{1,j}$ 和 $B_{2,j}$ 两个计算单元为一组,共 14 组 ($j = 1, 2, \cdots, 14$) 进行运算。并将待编码信息向量 n 如下对应分为 14 个子向量。

$$\mathbf{n}^T = \begin{bmatrix} \mathbf{m}_1 \\ \mathbf{m}_2 \\ \vdots \\ \mathbf{m}_{14} \end{bmatrix} = \begin{bmatrix} n_1 & n_2 & \cdots & n_{511} \\ n_{512} & n_{513} & \cdots & n_{1022} \\ \vdots & \vdots & & \vdots \\ n_{6644} & n_{6645} & \cdots & n_{7154} \end{bmatrix}. \quad (7)$$

编码步骤如下:

1) 硬件初始化时,累加器1、2复位,将 $B_{1,1}$ 和 $B_{1,2}$ 第1行数据分别读入511位移位寄存器A和B。

2) 对于待编码信息向量 \mathbf{m}_1 , 第1个时钟时,将 \mathbf{m}_1 向量的第一比特数据 n_1 依次与移位寄存器A和B中的数据做相与运算,得到的结果再与累加器中的对应数据相异或,最后结果分别存入累加器1和2中。

同理可得,在2~511个时钟内,每个时钟到来时,移位寄存器A和B所有比特数据右移一位,与待编码信息向量 \mathbf{m}_1 的 $n_2 \sim n_{511}$ 数据重复第1个时钟的操作。直到第511个时钟完成后,涉及待编码信息向量 \mathbf{m}_1 以及生成矩阵的第1组计算单元 $B_{1,1}$ 和 $B_{1,2}$ 的运算完成。并将移位寄存器A和B中的数据更换读入 $B_{2,1}$ 和 $B_{2,2}$ 的第1行数据。

3) 对于待编码信息向量 \mathbf{m}_2 至 \mathbf{m}_{14} , 重复上述向量 \mathbf{m}_1 的运算过程,直到第 14×511 个时钟到来时,所有7154位待编码信息完成编码,通过累加器1和2组合得到1022位校验信息,将7154位缓存信息与这1022位校验信息结合最终得到8176位系统码。

2.2 高速并行编码设计方案

串行编码设计方案虽然结构简单,节约资源,但也存在高时延,速率低的弊端。随着超宽带卫星通信高速率、高品质应用需求的日益显著,并行编码方案是实现空间高速数据传输的有效手段。

本文根据准循环LDPC码的结构特点以CCSDS标准7/8码率为例,基于SRAA串行编码方案提出 N 位可配置高速并行的编码架构,并以8位并行为例加以分析和实现。

当并行度为 N , 准循环子矩阵阶数为511时,首先对公式(7)的待编码信息做补零处理以满足 N 位并行的结构特性。设511除以 N , 余数为 r ($r = 511 \bmod N$, 且 $r < N$)。则在每个子向量 \mathbf{m}_i ($i = 1, 2, \dots, 14$) 的末端添 k 个“0”(其中, $k = (N - 511) \bmod N$), 得到 $7154 + 14 \times k$ 位待编码信息

\mathbf{p} , 使其可平均分为 N 组并行输入

$$\mathbf{p} = [\mathbf{q}_1 \quad \mathbf{q}_2 \quad \cdots \quad \mathbf{q}_{14}]$$

$$= \begin{bmatrix} n_1 & n_2 & \cdots & n_{511} & 0 & \cdots & 0 \\ n_{512} & n_{513} & \cdots & n_{1022} & 0 & \cdots & 0 \\ \vdots & \vdots & & \vdots & \vdots & & \vdots \\ n_{6644} & n_{6645} & \cdots & n_{7154} & 0 & \cdots & 0 \end{bmatrix}^T, \quad (8)$$

将添“0”得到的子向量 \mathbf{q}_i ($i = 1, 2, \dots, 14$) 再次分割成 N 个并行输入向量 \mathbf{q}_i^l ($i = 1, 2, \dots, 14; l = 1, 2, \dots, N$), 对于子向量 \mathbf{q}_1 , 分割为以下 N 个向量

$$\mathbf{q}_1^1 = (n_1 \quad n_{1+N} \quad n_{1+2N} \quad \cdots \quad n_{1+(511+k-N)}),$$

$$\mathbf{q}_1^2 = (n_2 \quad n_{2+N} \quad n_{2+2N} \quad \cdots \quad n_{2+(511+k-N)}),$$

$$\vdots$$

$$\mathbf{q}_1^l = (n_l \quad n_{l+N} \quad n_{l+2N} \quad \cdots \quad n_{l+(511+k-N)}),$$

$$\mathbf{q}_1^N = (n_N \quad n_{N+N} \quad n_{N+2N} \quad \cdots \quad n_{N+(511+k-N)}), \quad (9)$$

其中, 当 $l + (511 + k - N) > 511$ 时, $n_{l+(511+k-N)} = 0$ 。

同样,生成矩阵 \mathbf{G} 的右边准循环矩阵 \mathbf{Q} 部分,每个 $B_{i,j}$ 也将对应公式(8)被重新分割成 N 个并行编码子矩阵 $\mathbf{B}_{i,j}^l$ ($i = 1, 2, \dots, 14; j = 1, 2; l = 1, 2, \dots, N$),

$$\mathbf{B}_{i,j}^1 = \begin{bmatrix} b_{i,j}^1 & b_{i,j}^2 & \cdots & b_{i,j}^{510} & b_{i,j}^{511} \\ b_{i,j}^{511-N+1} & b_{i,j}^{511-N+2} & \cdots & b_{i,j}^{511-N-1} & b_{i,j}^{511-N} \\ \vdots & \vdots & & \vdots & \vdots \\ b_{i,j}^{N-k+1} & b_{i,j}^{N-k+2} & \cdots & b_{i,j}^{N-k-1} & b_{i,j}^{N-k} \end{bmatrix},$$

$$\vdots$$

$$\mathbf{B}_{i,j}^l = \begin{bmatrix} b_{i,j}^l & b_{i,j}^{l+1} & \cdots & b_{i,j}^{l-2} & b_{i,j}^{l-1} \\ b_{i,j}^{511-N+l} & b_{i,j}^{511-N+l+1} & \cdots & b_{i,j}^{511-N+l-2} & b_{i,j}^{511-N+l-1} \\ \vdots & \vdots & & \vdots & \vdots \\ b_{i,j}^{N-k+l} & b_{i,j}^{N-k+l+1} & \cdots & b_{i,j}^{N-k+l-2} & b_{i,j}^{N-k+l-1} \end{bmatrix}, \quad (10)$$

其中, 编码子矩阵 $\mathbf{B}_{i,j}^l$ 是大小为 $\frac{511+k}{N} \times 511$ 的循环子矩阵, 第1行数据右移 N 位得到下一行数据, $\mathbf{B}_{i,j}^{l+1}$ 由 $\mathbf{B}_{i,j}^l$ 中的所有数据右移1位获得。对于该并行编码结构, 其数学编码原理可表

示为

$$c = \sum_{i,j} p_i B_{i,j} = \sum_{i,j,l} q_i^l B_{i,j}^l \quad (11)$$

除此之外,为了解决串行编码方案中高时延、速率低这两个主要弊端,本文在结构上不仅做出了并行调整,同时也将存放待编码信息位的输入

缓存单元换为延时单元,待编码信息在并行输入添“0”单元的同时也并行送至延时单元,经相应时钟延迟后并行输出,这样既能减少输入缓存模块的资源占用也大大减小了待编码信息由输入到输出的延时周期。以 $N = 8$ 为例,具体结构如图 3 所示。

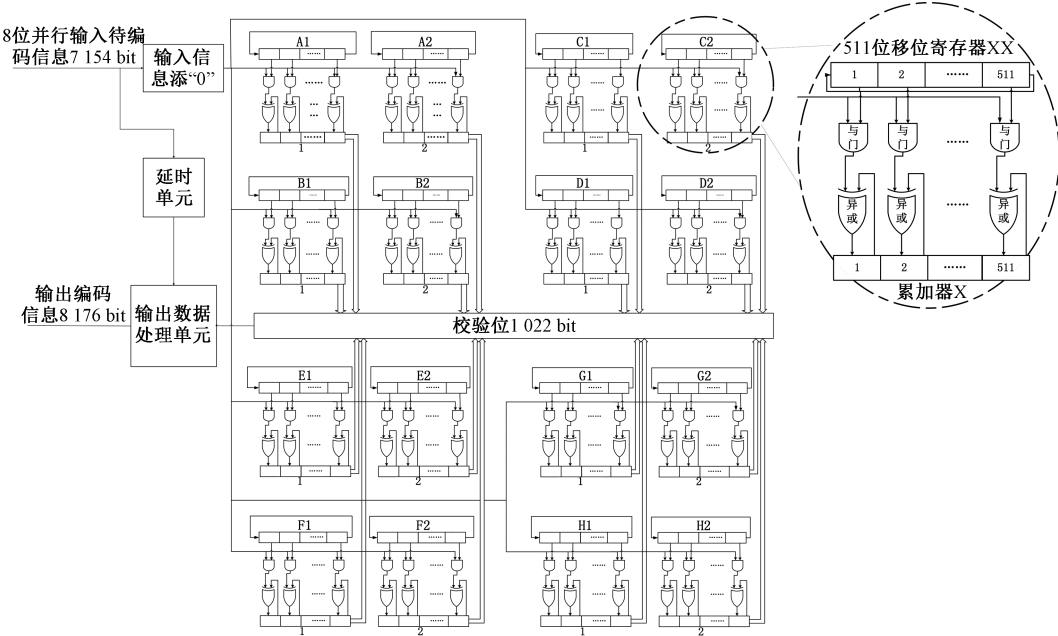


图 3 基于 SRAA 结构的 8 位并行编码结构

Fig. 3 8-bit parallel coding structure based on SRAA structure

待编码的 7 154 位编码信息分 8 位依次送至延时单元和输入信息添“0”单元,延时单元根据编码矩阵单元的周期作相应延时输出,输入信息添“0”单元每隔 511 位进行一次添“0”操作。随后将 8 位并行数据输入编码矩阵单元,8 组(共 16 个)移位寄存器同串行编码过程类似,经过每个时钟 8 bit 移位、异或和累加运算,在 14×64 个时钟后产生 1 022 位校验信息。最后与延时单元的待编码信息位在输出数据处理单元进行合并,输出编码后 LDPC 系统码。

3 编码器复杂度分析与资源评估

针对文献[11]提出的前两种编码方案以及本文的优化方案,表 1 给出这 3 种编码算法复杂度的分析对照。由此可见,本文方案所占用的逻辑门数量与并行 N 成正比,而随着 N 的增加,编码所用周期成比例减少;当 SRAA 并行方案与本文方案的编码速率(编码周期)相同($N = 7$)时,SRAA 并行方案所用触发器数量为 7 154,本文所

表 1 3 种编码算法速率与复杂度比较

Table 1 Comparison of rate and complexity among three coding algorithms

编码方案	编码周期	触发器	2-异或门	2-与门
SRAA 串行	14×511	$2 \times 1\,022$	1 022	1 022
SRAA 并行	1 022	14×511	$14 \times 511 - 1$	14×511
本文	$14 \times \frac{511 + k}{N}$	$\frac{3 \times 1022 -}{2 \times \frac{511 + k}{N}}$	$N \times 1\,022$	$N \times 1\,022$

需触发器数量仅为 2 920。综上所述,SRAA 串行方案复杂度较低,但编码速率有限;而对于 SRAA 并行方案,在相同编码速率情况下,本文并行方案较 SRAA 并行方案复杂度更低。

本文根据所提出的可配置并行架构,在 FPGA 开发平台上,基于 ISE 的集成开发环境采用 Xilinx 公司 C4VXS55 系列的 12ff1148 型实现了 8 位并行编码。通过表 2 与串行方案的资源对比可知,并行方案不仅比串行方案节省 9% 的资源占用,且最大工作频率达到 330 MHz,8 位并行吞吐率可达 2.5 Gbps。

表 2 串行与 8 位并行编码算法资源占用比较

Table 2 Comparison of resource occupancy between serial and 8-bit parallel coding algorithms

编码方案	Slices 数量	触发器 数量	4 输入 LUT 数量	最大工作 频率
SRAA 串行	52%	35%	26%	250 MHz
本文	42%	24%	38%	330 MHz
可用资源	24 576	49 152	49 152	—

4 结论

本文针对准循环 LDPC 码,为更好地应对卫星超宽带通信系统中高速率、低时延的应用需求,提出一种基于 FPGA 可动态配置的 N 位并行 LDPC 编码器设计,并推导论证并行度 N 与编码速率间的制约关系。主要具有如下优点:1)通过编码前信息预处理,解决了并行度受限于循环矩阵位数的问题;2)将存放待编码信息位的输入缓存单元换为延时单元,大大减小编码的延时周期;3)相较于 SRAA 并行方案复杂度更低。最后以 7/8 码率的 LDPC 为例,对 8 位并行编码方案仿真,吞吐量达到 2.5 Gbps,实现了高速数据传输的应用需求。本方案的并行度可根据实际情况作以调整,具有更好的工程实现背景。

参考文献

[1] Arbinger C, Baskcomb S, Berdermann J, et al. Air meets space: shaping the future of commercial space traffic: I. study introduction and initial results[C]//67th International Astronautical Congress. Guadalajara. 2016: 26-30.

[2] 刘沛龙,陈宏宇,魏松杰,等. LEO 卫星网络海量遥感数据下行的负载均衡多径路由算法[J]. 通信学报, 2017, 38(S1): 135-142.

[3] Gallager R G. Low-density parity-check codes [J]. IRE Transactions on Information Theory, 1962, 8(1): 21-28.

[4] Mackay D C. Good error-correcting codes based on very sparse matrices [J]. IEEE Transactions on Information Theory, 1999, 45(2): 399-431.

[5] Chen L, Xu J, Djurdjevic I, et al. Near-Shannon-limit quasi-cyclic low-density parity-check codes [J]. IEEE Transactions on Communications, 2004, 52(7): 1038-1042.

[6] CCSDS 131.1-0-2. Low density parity check codes for use in near-Earth and deep space applications[S]. Washington DC: CCSDS, 2007.

[7] Ortega A L, Bravo-torres J F. Combining LDPC codes, M-QAM modulations, and IFDMA multiple-access to achieve 5G requirements [C] // 2017 International Conference on Electronics, Communications and Computers (CONIELECOMP). Cholula: IEEE, 2017: 1-5.

[8] Theodoropoulos D, Kranitis N, Paschalis A. An efficient LDPC encoder architecture for space applications[C]//2016 IEEE 22ndmational Symposium on On-Line Testing and Robust System Design (IOLTS). Sant Feliu de Guixols: IEEE, 2016: 149-154.

[9] Liu L, Zhang P, Lin Z. An efficient LDPC encoder based on block-row-cycle structure for CMMB[C]//2013 IEEE Third International Conference on Information Science and Technology (ICIST). Yangzhou: IEEE, 2014: 1451-1454.

[10] Neto N A F, De Oliveira J R S, De Oliveira W L A, et al. VLSI architecture design and implementation of a LDPC encoder for the IEEE 802.22 WRAN standard[C]//2015 25th International Workshop on Power and Timing Modeling, Optimization and Simulation (PATMOS). Salvador: IEEE, 2015: 71-76.

[11] Li Z, Chen L, Zeng L, et al. Efficient encoding of quasi-cyclic low-density parity-check codes[J]. IEEE Transactions on Communications, 2006, 54(1): 71-81.

[12] 张仲明,许拔,杨军,等. 800 Mbps 准循环 LDPC 码编码器的 FPGA 实现[J]. 信号处理, 2009, 25(12): 1937-1940.